

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026628

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 23/12

H03H 9/02

H03H 9/17

(21)Application number : 09-174837

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 30.06.1997

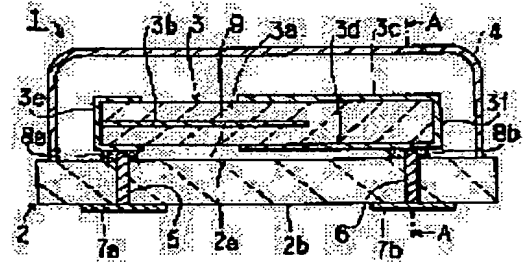
(72)Inventor :  
ISHINO SATORU  
KUBOTA KENJI  
SAITO TAKESHI  
MAESAKA MICHINOBU  
OGAWA MAMORU  
INOUE JIRO  
KAIDA HIROAKI

## (54) PACKAGE STRUCTURE OF ELECTRONIC COMPONENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a package structure of an electronic component which is easy to manufacture and contains electronic component elements fixed to a package material through a space of specified thickness.

**SOLUTION:** A package structure 1 has via hole electrodes 5, 6 which pierce a ceramic layer of a ceramic substrate 2 to be a package material and protrude up from the top face 2a of the substrate 2, and piezoelectric resonators 3 to be electronic component elements which are mounted with spaces 9 of thickness depending on the protrusion value of the electrodes 5, 6 and settled with conductive adhesives 8a, 8b.



## LEGAL STATUS

[Date of request for examination] 05.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3336913

[Date of registration] 09.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3336913号

(P3336913)

(45) 発行日 平成14年10月21日 (2002. 10. 21)

(24) 登録日 平成14年 8 月 9 日 (2002. 8. 9)

(51) IntCl.<sup>7</sup> 識別記号

H 0 1 L 23/12

H 0 3 H 9/02

9/17

F I

H 0 3 H 9/02

9/17

H 0 1 L 23/12

A

A

L

請求項の数 2 (全 10 頁)

(21) 出願番号 特願平9-174837

(22) 出願日 平成 9 年 6 月 30 日 (1997. 6. 30)

(65) 公開番号 特開平11-26628

(43) 公開日 平成11年 1 月 29 日 (1999. 1. 29)

審査請求日 平成11年 7 月 5 日 (1999. 7. 5)

(73) 特許権者 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石野 聡

京都府長岡京市天神二丁目26番10号 株

式会社村田製作所内

(72) 発明者 窪田 憲二

京都府長岡京市天神二丁目26番10号 株

式会社村田製作所内

(72) 発明者 斉藤 毅

京都府長岡京市天神二丁目26番10号 株

式会社村田製作所内

(74) 代理人 100086597

弁理士 宮▼崎▲ 主税 (外 1 名)

審査官 加藤 浩一

最終頁に続く

(54) 【発明の名称】 電子部品のパッケージ構造

1

(57) 【特許請求の範囲】

【請求項 1】 セラミックスよりなるパッケージ材と、  
前記パッケージ材のセラミック層を貫くように形成され  
ており、かつパッケージ材の一面に突出した状態で露出  
しているビアホール電極と、

前記パッケージ材のビアホール電極が突出している面  
に対し、ビアホール電極の突出量に応じた厚みの空間を隔  
てて載置された電子部品素子と、

前記電子部品素子とビアホール電極とを接合している接  
合材と、前記パッケージ材がセラミック基板からなり、  
セラミック基板の側面に形成された複数の外部電極とを  
備え、

前記外部電極が、セラミック基板の側面に形成された切  
欠をほぼ完全に充填するように電極材料を充填すること  
により構成されていることを特徴とする、電子部品のパ

10

2

ッケージ構造。

【請求項 2】 前記パッケージ材と同一材料で構成さ  
れ、かつ該パッケージ材と同時に焼成される枠材をさら  
に備える、請求項 1 に記載の電子部品のパッケージ構  
造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば圧電共振部  
品のような電子部品のパッケージ構造に関し、より詳細  
には、ビアホール電極を有するパッケージ材を用いた電  
子部品のパッケージ構造に関する。

【0002】

【従来の技術】 電子部品素子の中には、プリント回路基  
板などに実装した際に、プリント回路基板と電子部品素  
子の一部が接触しないことが求められるものがある。例

えば、圧電共振子では、共振部の振動を妨げないために、共振部はプリント回路基板から所定の空間を隔てて配置される必要がある。また、発熱を伴う電子部品素子の場合には、プリント回路基板などへの熱伝導を抑制するために、プリント回路基板と電子部品素子とが所定の空間を隔てて載置されることが求められる。

【0003】圧電共振子では、上記のような空間を形成するために、種々の構造が提案されている。図17は、従来の圧電共振子の実装を構造の一例を示す部分切欠断面図である。

【0004】基板51上に電極ランド52a、52bが形成されている。電極ランド52a、52bに対し、圧電共振子53が実装されている。圧電共振子53は、圧電板53aの一端に端子電極53bが、他端に端子電極53cが形成されている構造を有する。なお、図示しない共振電極が、端子電極53b、53cに接続されている。

【0005】共振部分の振動を妨げないために、端子電極53b、53cは、ある程度の厚みを有するように付与された導電性接着剤54a、54bを介して電極ランド52a、52bに接合されている。

【0006】すなわち、導電性接着剤54a、54bの厚みを厚くすることにより、圧電共振子53と基板51の上面51aとの間に空隙55が形成されている。しかしながら、導電性接着剤54a、54bは、塗布時には液状であるため、図17に矢印A<sub>1</sub>、A<sub>2</sub>で示すように圧電共振子53の中央方向に流れがちである。その結果、得られた実装構造において、共振部が導電性接着剤により基板51の上面51aに接合され、共振特性が劣化することがあった。

【0007】また、液状の導電性接着剤54a、54bを塗布後硬化させるものであるため、空間55の厚みがばらつき、場合によっては共振部が基板51の上面51aに接触し、共振特性が損なわれることもあった。

【0008】上記のような問題を解消するために、図18に示すように、スペーサー56a、56bを、端子電極53b、53cと電極ランド52a、52bとの間に介在させた実装構造が提案されている。スペーサー56a、56bは、金属などの導電性材料によりなり、端子電極53b、53c及び電極ランド52a、52bに導電性接着剤や半田などを用いて接合されている。ここでは、スペーサー56a、56bの高さにより、圧電共振子53と基板51の上面51aとの間に十分な高さの空間55Aが確保される。

【0009】しかしながら、スペーサー56a、56bを用意しなければならず、かつスペーサー56a、56bを付与し、圧電共振子53を接合するという煩雑な作業が強いられる。

【0010】他方、特開平5-83074号公報には、圧電共振子などを収納してなる小型のパッケージ構造が

開示されている。図19(a)及び(b)は、この先行技術に記載のパッケージ構造を示す部分切欠平面図及び断面図である。

【0011】パッケージ構造61では、絶縁基板62と、キャップ63とによりパッケージが構成されている。このパッケージ内には圧電共振子64が収納されている。また、基板62には、スルーホール電極65a～65cが形成されている。スルーホール電極65a～65cは、基板62に貫通孔を形成し、該貫通孔の内周面に電極材料を付与することにより構成されている。この場合、電極は、貫通孔の内周面だけでなく、フランジ状部分を構成するように上面及び下面にも至っている。

【0012】圧電共振子64は、上記スルーホール電極65a～65cに対し、導電性接着剤66a～66cを介して接合されている。導電性接着剤66a～66cは、スルーホール電極65a～65c内に入り込んでいてだけでなく、スルーホール電極65a～65cの基板62の上面のフランジ部分にも接合されている。

【0013】パッケージ構造61では、上記スルーホール電極65～65cを用いて圧電共振子64を外部に引き出しているため、キャップ63の外側の領域を狭くすることができ、それによって小型化が図られるとされている。

【0014】

【発明が解決しようとする課題】しかしながら、パッケージ構造61においても、スルーホール電極65a～65cに対し、導電性接着剤66a～66cを用いて圧電共振子64を接合しているため、図17に示した実装構造51の場合と同様に、導電性接着剤66a～66cの塗布時の流延により共振部の振動が損なわれることがあった。

【0015】以上のように、図17に示した実装構造51及び図19に示したパッケージ構造61では、導電性接着剤の流延により、所定の厚みの空間を確実に形成することができず、共振特性が劣化するおそれがあった。

【0016】また、図18に示した実装構造では、十分な厚みの空間55Aを形成し得るものの、スペーサー56a、56bを用いる必要があるため、製造工程が煩雑となるだけでなく、コストが高つくという問題があった。

【0017】よって、本発明の目的は、電子部品素子がパッケージ材に対して所定の厚みの空間を隔てて確実に固定されており、かつ製造が容易であり安価な電子部品のパッケージ構造を提供することにある。

【0018】

【課題を解決するための手段】請求項1に記載の発明にかかる電子部品のパッケージ構造は、セラミックスよりなるパッケージ材と、前記パッケージ材のセラミック層を貫くように形成されており、かつパッケージ材の一面に突出した状態で露出しているピアホール電極と、前記

パッケージ材のビアホール電極が突出している面に対し、ビアホール電極の突出量に応じた厚みの空間を隔てて載置された電子部品素子と、前記電子部品素子とビアホール電極とを接合している接合材と、前記パッケージ材がセラミック基板からなり、セラミック基板の側面に形成された複数の外部電極とを備え、前記外部電極が、セラミック基板の側面に形成された切欠をほぼ完全に充填するように電極材料を充填することにより構成されていることを特徴とする。また、本発明の特定の局面では、上記パッケージ材と同一材料で構成され、かつ該パ

10 ャッケージ材と同時に焼成される枠材がさらに備えられる。

【0019】

【0020】

【0021】

【0022】なお、本明細書におけるビアホール電極とは、後述の通り、貫通孔内に電極材料が完全に充填されている中実の電極をいうものとする。

【0023】

【発明の実施の形態】以下、図面を参照しつつ、本発明 20 の非限定的な実施例につき説明する。

（第1の実施例）図1及び図2は、本発明の第1の実施例にかかる電子部品のパッケージ構造を示す正面断面図及び側面断面図である。

【0024】図1に示す電子部品1では、パッケージ材としての基板2上に電子部品素子として圧電共振子3が搭載されている。また、基板2には、圧電共振子3を囲繞するように金属よりなるキャップ4が固定されている。すなわち、キャップ4は、下方に開いた形状を有し、基板2の上面に接着剤（図示せず）により固定され 30 て、圧電共振子3を収納する内部空間を構成している。

【0025】基板2は、例えば、アルミナなどの絶縁性セラミックスよりなる。基板2には、ビアホール電極5、6が形成されている。ビアホール電極5、6は、基板2を貫いており、かつ上端が基板2の上面2aから上方に突出されている。ビアホール電極5、6の下面は、基板2の下面2bに露出しており、かつ基板2の下面2b上に形成されている端子電極7a、7bに接続されている。

【0026】圧電共振子3は、例えば、チタン酸鉛系圧電セラミックスのような圧電セラミックスにより構成された圧電体3aを用いて構成されている。圧電体3aは、厚み方向に分極処理されており、内部に内部電極3bを有する。また、内部電極3bと圧電体3aの中央領域で重なり合うように、電極3c、3dが圧電体3aの上面及び下面に形成されている。内部電極3bは、圧電共振子3の一方端部に形成されており、かつ圧電体3aの下面に至る端子電極3eに電気的に接続されている。他方、電極3c、3dは、圧電体3aの他方端部に形成 50

されている端子電極3fにより相互に電気的に接続されている。

【0027】圧電共振子3は、厚み縦振動モードを利用したエネルギー閉じ込め型圧電共振子であり、端子電極3e、3f間に交流電圧を印加することにより駆動される。圧電共振子3は、基板2上において、ビアホール電極5、6の基板2の上面2aから突出している部分の先端に載置され、かつ導電性接着剤8a、8bにより固定されている。

【0028】ビアホール電極5、6の上端が、上記のように基板2の上面2aから上方に突出しているため、圧電共振子3の下面と、基板2の上面2aとの間に、共振部の共振を妨げないための十分な厚みの空間9が確保される。すなわち、本実施例の特徴は、ビアホール電極5、6を基板2に形成し、ビアホール電極5、6の上端を上面2aから上方に突出させ、該ビアホール電極5、6の突出量に応じた厚みの空間を隔てて、圧電共振子3を配置したことにある。

【0029】ここで、ビアホール電極5、6は、基板2に形成されている貫通孔に電極材料を充填することにより構成されている。また、ビアホール電極5、6の上方の上記突出部は、以下の製造方法により形成される。

【0030】すなわち、基板2を得るにあたり、支持フィルム上において、複数枚のセラミックグリーンシートを積層し、セラミックグリーンシート積層体を得る。次に、セラミックグリーンシート積層体に、ビアホール電極5、6が形成される部分において貫通孔を形成する。次に、支持フィルムに支持されたセラミックグリーンシート積層体の上方から、スキージを用い、導電ペーストなどの液状もしくはスラリー状の導電材を上記貫通孔に充填する。スキージで導電材を上記貫通孔に充填しているため、充填後には、貫通孔に充填された電極材料の上面は、セラミックグリーンシート積層体の上面と面一となる。

【0031】しかしながら、上記セラミックグリーンシート積層体を焼成して、基板2を得ると、セラミックスの焼成後の冷却に際しての熱収縮率が、電極材料の熱収縮率に比べて高いため、言い換えれば、電極材料の熱収縮率の方が小さいため、図1に示されているように、ビアホール電極5、6の上方には、基板2の上面2aから上方に突出した突出部が形成されることになる。

【0032】本願発明者の実験によれば、上記突出部を形成するには、貫通孔に充填される電極材料の焼成後の冷却に際しての収縮率に比べセラミックスの熱収縮率を1～20%高く設定すれば、圧電共振子3の下方に十分な厚みの空間9を確実に形成し得ることが確かめられた。なお、上記熱収縮率の差が1%未満の場合には、ビアホール電極5、6の突出部の高さが不十分となり、十分な厚みの空間9を形成することができないことがあり、20%を超えると、ビアホール電極5、6の突出部

が必要以上に高くなり、圧電共振子3が不安定となり、導電性接着剤8a、8bによる接着作業が安定に行い難くなったり、特性に悪影響を与えたりすることがある。また、電子部品1の低背化を進めることが困難となる。

【0033】(第2の実施例)図3及び図4は、本発明の第2の実施例を説明するための断面図及び平面図である。

【0034】図3は、第1の実施例について示した図2に相当する図である。第2の実施例の電子部品のパッケージ構造10は、基板2の側面にビアホール電極5、6と同様の方法により形成された外部電極11a、11b、11c、11dが形成されていることにあり、その他の点については、第1の実施例の電子部品1と同様である。

【0035】すなわち、外部電極11a、11b、11c、11dは、基板2の側面2c、2dに形成された平面視で半円状の切欠2e〜2h内に電極材料を完全に充填することにより形成されている。すなわち、外部電極11a〜11dを構成している電極材料は、切欠2e〜2h内をほぼ充填するように付与されており、基板2の上面及び下面には至らないように付与されている。

【0036】上記外部電極11a〜11dは、ビアホール電極5、6と同様にして形成される。すなわち、基板2を複数得るためのマザー基板を用意し、マザー基板上において、切欠2e〜2hに相当する位置に、切欠2a〜2hの平面形状を2倍とした円形の貫通孔を形成し、同時に、ビアホール電極5、6を形成するための貫通孔を形成する。

【0037】しかる後、導電性ペーストのような液状の導電材をスキージにより各貫通孔内に充填し、個々の基板単位にマザーのセラミックグリーンシート積層体を切断する。このようにして、切欠2e〜2hに電極材料が充填されているセラミックグリーンシート積層体が得られる。このセラミックグリーンシート積層体を焼成し、冷却すれば、基板2の焼成及びビアホール電極5、6の焼付けとともに、切欠2a〜2h内に充填されている電極材料が焼き付けられ、外部電極11a〜11dが形成される。

【0038】従って、外部電極11a〜11dは、ビアホール電極5、6と同一工程により形成される。しかも、外部電極11c、11dは、基板2の下面に形成されている端子電極7bに電気的に接続されるように形成されている。従って、このパッケージ構造10をプリント回路基板などに表面実装する際には、外部電極11a〜11dを利用して半田付け等によりプリント回路基板などの電極ランドに接合することができる。この場合、側面に形成されている外部電極11a〜11dが電極ランドと接合される際に半田フィレットを形成するが、外部から目視により外部電極11a〜11dと電極ランドとの接合状態を容易に確認することができる。

【0039】本実施例のパッケージ構造10では、上記のように外部電極11a〜11dの形成により、プリント回路基板などに実装した際の接続状態を目視により容易に確認することができるだけでなく、基板の側面にスルーホール電極と同様にして外部電極が形成されている従来の電子部品(図19)に比べて基板の寸法を小さくすることができる。これを、図5及び図6を参照して説明する。

【0040】図5(a)は、従来から公知のスルーホール電極を示す部分切欠断面図である。スルーホール電極61は、基板62に貫通孔62aを形成し、該貫通孔62aの内周面、上面及び下面に至るように電極材料を付与することにより形成されている。

【0041】これに対して、ビアホール電極は、図5(b)に示すように、マザー基板12に貫通孔12aを形成し、該貫通孔12a内に電極材料13を充填することにより形成される。

【0042】従って、マザーのセラミック積層体段階で、上記スルーホール電極61を形成し、図5(a)の一点鎖線Bによって切断し、平面視半円状の外部電極を形成した場合、図6(a)に示すように、基板62の上面及び下面において、スルーホール電極61のフランジ部61aが切欠63よりも内側に至るように形成される。

【0043】これに対して、上記ビアホール電極13の中心に沿って切断し、図6(b)に示すように外部電極13Aを形成した場合、外部13Aは、基板12の切欠12aよりも内側には至らない。よって、図6(a)に示す外部電極61Aの内側端と、基板62に実装される電子部品素子Cとの間の距離を、図6(b)における外部電極13Aの内側端と基板12に実装される電子部品素子Cとの間の距離を等しくした場合、フランジ部61aを有しない分だけ、基板62に比べて基板12の寸法を小さくすることができる。すなわち、スルーホール電極と同様にして形成された外部電極61Aに比べ、ビアホール電極と同様にして形成されている外部電極13Aを用いることにより、基板の小型化を図り得る。

【0044】従って、図3及び図4に示したパッケージ構造10では、上記外部電極11a〜11dが形成されているが、従来のスルーホール電極と同様にして形成された外部電極を用いる場合に比べ、基板2の小型化、ひいてはパッケージ構造10の小型化を図り得る。

【0045】(変形例)図3に示したパッケージ構造10では、基板2の側面に形成される外部電極11c、11dが基板2の上面から上方に突出するように形成されていたが、外部電極11c、11dに代えて、図7に示すように中間高さ位置に至る外部電極11e、11fを形成してもよい。外部電極11e、11fを形成した場合においても、パッケージ構造14をプリント回路基板等に実装した場合、プリント回路基板上の電極ランドと

外部電極11e、11fとの半田による接合状態を外部から目視により容易に確認することができる。また、第2の実施例の場合と同様に、基板2の小型化も図り得る。

【0046】なお、外部電極11e、11fの形成は、以下のように行い得る。セラミックグリーンシートを積層してセラミックグリーンシート積層体を得るに際し、支持フィルム上において、外部電極11e、11fが形成されるセラミック層に相当する枚数のセラミックグリーンシートを積層する。この場合、予め、各セラミックグリーンシートには、外部電極11e、11fが形成される部分に貫通孔を形成しておき、かつ各貫通孔に導電材を注入しておく。この導電材が注入された対応する貫通孔を整合させて複数枚のセラミックグリーンシートを積層する。次に、外部電極11e、11fの上端よりも上方に位置するセラミック層に応じた枚数の第2のセラミックグリーンシートを積層する。この場合も、積層に先立ち、第2のセラミックグリーンシートには、ビアホール電極5、6が形成される位置に貫通孔を形成し、該貫通孔に導電材を充填しておく。

【0047】次に、マザーのセラミックグリーンシート積層体を個々の基板単位に切断し、焼成することにより、上記外部電極11e、11fが形成されている基板2を得ることができる。

【0048】図8(a)及び(b)は、第1の実施例の電子部品のパッケージ構造1の他の変形例を示す縦断面図及び横断面図である。電子部品のパッケージ構造1では、セラミック基板2上にキャップ4が固定されていたが、本発明において、電子部品素子を収納するためのパッケージの構造については適宜変更し得る。

【0049】すなわち、図8(a)及び(b)に示すパッケージ構造21のように、キャップ4に代えて、矩形枠状の枠材22と、キャップ23とを組み合わせた構造を用いてもよい。ここでは、セラミック基板2の上面に例えばアルミナなどの絶縁性セラミックスよりなる矩形枠状の枠材22が絶縁性接着剤を用いて固定されており、かつ枠材22上に金属や合成樹脂などからなるキャップ23が固定されている。その他の点については、図1に示したパッケージ構造1と同様であるため、同一部分については、同一の参照番号を付することにより省略する。

【0050】また、図9に示すように、圧電共振子3よりも厚みの大きな枠材24を用い、枠材24の上面に平板状の蓋材25を固定し、パッケージを構成してもよい。図9(a)及び(b)に示すパッケージ構造26では、キャップ4(図1)に代えて、上記枠材24及び平板状の蓋材25が用いられていることを除いては、パッケージ構造1と同様に構成されている。

【0051】なお、枠材24及びキャップ25を構成する材料についても、特に限定されるものではない。ま

た、枠材は基板と同一材料で構成し、基板と同時焼成したものであってもよい。

【0052】また、図10に横断面図で示すパッケージ構造27のように、セラミック基板2側に、図3に示したパッケージ構造10と同様に、外部電極11c、11dを形成し、プリント回路基板等を実装した際に、半田等によるフィレットを外部から目視により確認し得る構造としてもよい。

【0053】(第3の実施例)図11～図15を参照して本発明の第3の実施例にかかる電子部品のパッケージ構造を説明する。

【0054】本実施例では、図11に分解斜視図で示すように、上方に開口31aを有する有底角筒状のパッケージ材31と、開口31を閉成するように固定される平板状の蓋材32とによりパッケージが構成されている。このパッケージ内に、電子部品素子としての圧電共振子3が収納される。圧電共振子3は、図1に示した圧電共振子3と同様に構成されている。

【0055】従って、本実施例で得られる電子部品のパッケージ構造33は、図12に示すように、全体が略直方体状の形状を有する。このパッケージ構造33の縦断面図を図13に、図13の一点鎖線D-Dに沿う部分を図14に横断面図で、図13の一点鎖線E-Eに沿う部分に相当する断面を図15に示す。

【0056】パッケージ材31は、アルミナなどの誘電体セラミックスにより構成されている。パッケージ材31には、セラミック層を貫くように、ビアホール電極35、36、40が形成されている。ビアホール電極35、36は、パッケージ材31の内底31bから上方に突出されている。従って、パッケージ材31上に搭載された圧電共振子3は、所定の厚みの空間Aを隔てて内底31bから浮かされた状態で配置されている。また、導電性接着剤37a、37bにより、圧電共振子3がビアホール電極35、36に接続されている。

【0057】他方、パッケージ材31は、一対の対向し合う側面において、段差31c、31dを有する。図14に示すように、ビアホール電極36は、この段差31c、31dが形成されている高さ位置まで延ばされている。ビアホール電極36の下端は、段差31c、31dが形成されている高さ位置に形成されている接続電極38に電気的に接続されている。

【0058】また、パッケージ材31の内底31bと段差31dとの間には、コンデンサを構成するための複数の内部電極が形成されている。すなわち、ビアホール電極35、36に接続されている複数の内部電極39aと、ビアホール電極40に接続されている複数の内部電極39bとが形成されている。内部電極39aと内部電極39bとは、セラミック層を介して重なり合うように配置されている。

【0059】ビアホール電極40は、内部電極39bの

うち、最上部の内部電極に接続されており、上端は図13から明らかなように内底31bに至っていない。他方、ビアホール電極40の下端は、段差31c、31dが形成されている高さ位置まで至っており、接続電極41に電氣的に接続されている。

【0060】また、パッケージ材31の段差31c、31dよりも下方部分においては、側面に、外部電極42a～42cが形成されている（図11参照）。外部電極42a～42cは、それぞれ、向かい合う一対の側面に形成されている。

【0061】図14に示すように、外部電極42c、42cは、接続電極38に電氣的に接続されており、従ってビアホール電極36に電氣的に接続されている。他方、図15に示すように、外部電極42b、42bは接続電極41に接続されており、従ってビアホール電極41に電氣的に接続されている。

【0062】よって、本実施例のパッケージ構造33では、外部電極42a～42c間に、圧電共振子と2個のコンデンサを接続した回路構成が実現される。このように、本発明にかかる電子部品のパッケージ構造では、パッケージ材内に複数の内部電極を形成したコンデンサを構成してもよく、この場合には、該複数の内部電極がビアホール電極に電氣的に接続されて、所望の回路が構成されることになる。

【0063】本実施例の電子部品のパッケージ構造33は、上記のように圧電共振子と2個のコンデンサを接続した回路構成を有するため、例えば圧電共振子として好適に用いることができる。

【0064】（ビアホール電極の平面形状の変形例）前述してきた実施例では、ビアホール電極として横断面が円形のものを示したが、本発明において、ビアホール電極の断面形状は円形に限定されるものではなく、例えば、図16（a）及び（b）に示すように、ビアホール電極42の断面を長円形としてもよく、その場合には、パッケージ材43から突出されている部分42aによって、電子部品素子を安定に載置させることができる。また、ビアホール電極の断面形状は、長円形に限定されず、矩形、正方形等の任意の形状とすることができる。

【0065】また、複数のビアホール電極を近接配置し、それによって電子部品素子をより安定に支持してもよい。

【0066】

【発明の効果】本発明にかかる電子部品のパッケージ構造では、ビアホール電極がパッケージ材の一面に突出した状態で露出しており、パッケージ材のビアホール電極が突出している面にビアホール電極の突出量に応じた厚みの空間を隔てて電子部品素子が載置されるので、電子部品素子とパッケージ材との間に所望の厚みの空間を確実に形成することができる。従って、圧電共振子のように共振部の振動が妨げられないための空間を隔ててパッ

ッケージ材に搭載することが必要な電子部品素子に好適な電子部品のパッケージ構造を提供することが可能となる。

【0067】加えて、導電性接着剤により電子部品素子とパッケージ材との間の空間を形成している従来例では、接着剤の塗布時の流延により、所望の空間が得られないことがあったのに対し、本発明では、ビアホール電極の突出部を利用しているため、所望の厚みの空間を確実に形成することができる。また、所望の厚みの空間を形成するために、スペーサー等の余分な部材を必要としないため、電子部品のパッケージ構造のコストが増大するおそれもない。また、パッケージ材がセラミック基板からなり、このセラミック基板の側面に複数の外部電極が形成されており、外部電極が、セラミック基板の側面に形成された切欠をほぼ完全に充填するように電極材料を充填することにより構成されているので、ビアホール電極を形成する方法と同一の手法を用いることにより、上記外部電極を容易に形成することができ、かつスルーホール電極を用いた外部電極に比べて、より小型の電子部品のパッケージ構造を提供することが可能となる。

【0068】

【0069】

【0070】

【0071】

【図面の簡単な説明】

【図1】本発明の第1の実施例にかかる電子部品のパッケージ構造を示す縦断面図。

【図2】図1に示した電子部品のパッケージ構造の横断面図であり、図1のA-A線に沿う部分の断面図。

【図3】本発明の第2の実施例にかかる電子部品のパッケージ構造を説明するための横断面図。

【図4】図3に示した電子部品のパッケージ構造の平面図。

【図5】（a）及び（b）は、スルーホール電極及びビアホール電極を説明するための部分切欠断面図。

【図6】（a）及び（b）は、それぞれ、スルーホール電極及びビアホール電極と同様の手法により構成された外部電極と電子部品素子との位置関係を説明するための模式的平面図。

【図7】第1の実施例のパッケージ構造の変形例を説明するための横断面図。

【図8】（a）及び（b）は、第1の実施例のパッケージ構造の他の変形例を説明するための縦断面図及び横断面図。

【図9】（a）及び（b）は、それぞれ、第1の実施例のパッケージ構造のさらに他の変形例を説明するための縦断面図及び横断面図。

【図10】図9（b）に示したパッケージ構造の変形例を説明するための横断面図。

【図11】本発明の第3の実施例にかかる電子部品のパ

パッケージ構造を説明するための分解斜視図。

【図12】第3の実施例にかかる電子部品のパッケージ構造の外観を示す斜視図。

【図13】第3の実施例のパッケージ構造の縦断面図。

【図14】図13のD-D線に沿う断面図。

【図15】図13のE-E線に沿う部分に相当する断面図。

【図16】(a)及び(b)は、それぞれ、平面形状が長円形のビアホール電極を説明するための断面図及び平面図。

【図17】従来の電子部品のパッケージ構造を説明するための断面図。

【図18】従来の電子部品のパッケージ構造の他の例を説明するための部分切欠断面図。

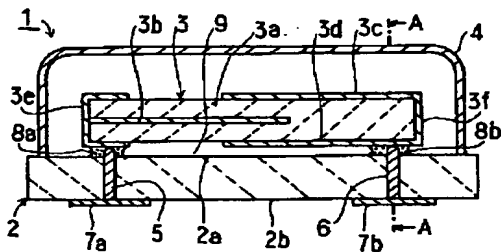
【図19】(a)及び(b)は、それぞれ、従来の電子部品のパッケージ構造のさらに他の例を説明するための部分切欠平面図及び断面図。

\*【符号の説明】

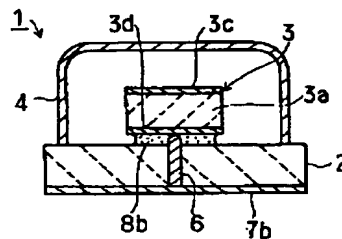
- 1…電子部品のパッケージ構造
- 2…セラミック基板(パッケージ材)
- 3…電子部品素子としての圧電共振子
- 5, 6…ビアホール電極
- 7a, 7b…端子電極
- 8a, 8b…接合材としての導電性接着剤
- 9…空間
- 13…ビアホール電極
- 10 13A…ビアホール電極と同一手法により形成された外部電極
- 21…パッケージ構造
- 31…パッケージ材
- 32…蓋材
- 35, 36, 40…ビアホール電極
- 39a, 39b…コンデンサを構成するための内部電極

\*

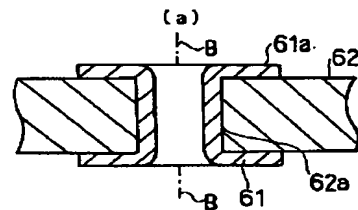
【図1】



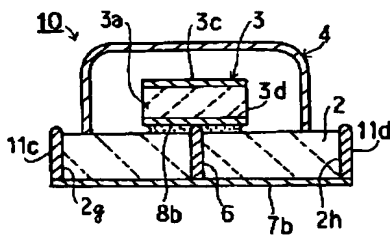
【図2】



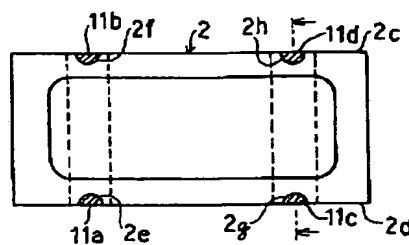
【図5】



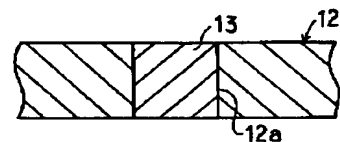
【図3】



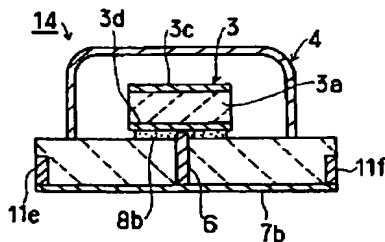
【図4】



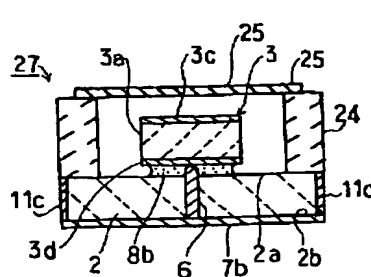
(b)



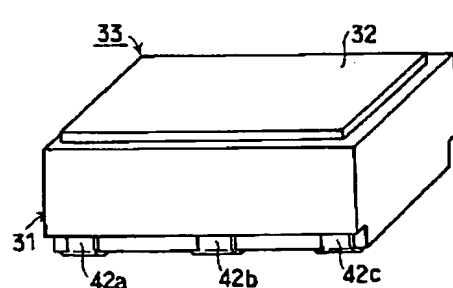
【図7】



【図10】

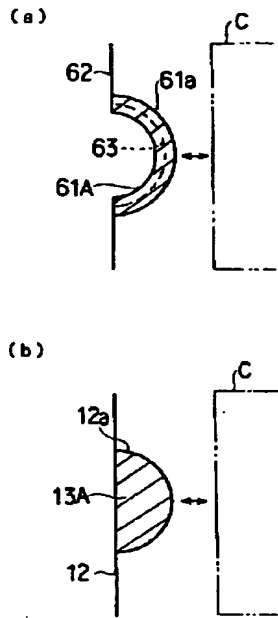


【図12】

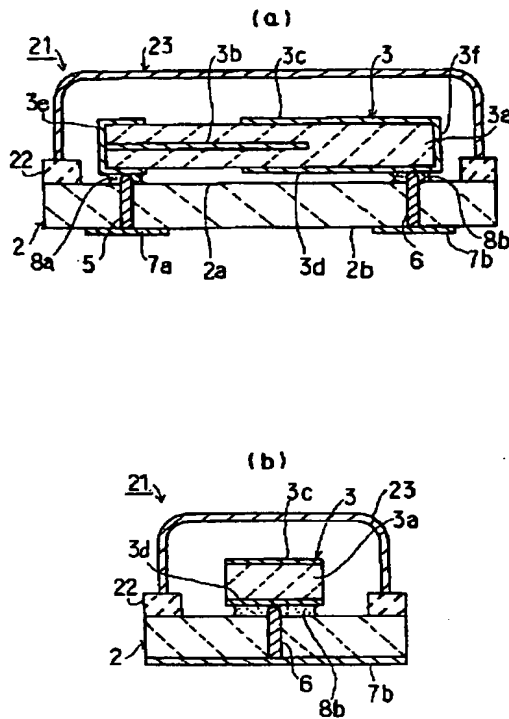




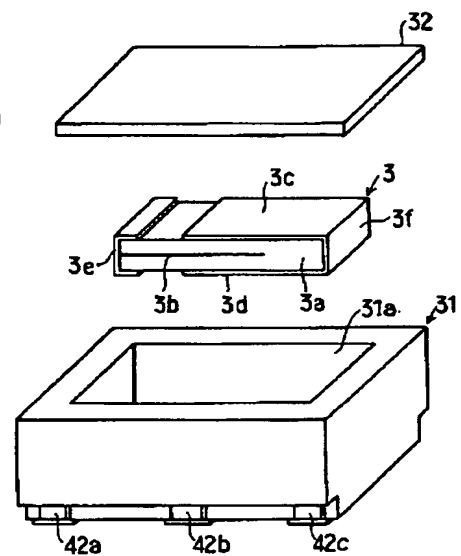
【図6】



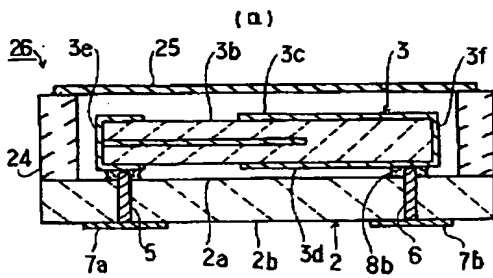
【図8】



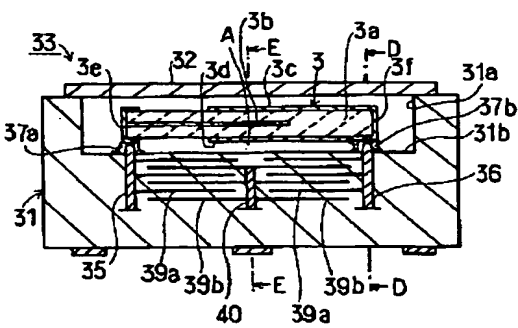
【図11】



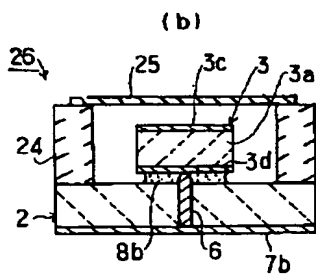
【図9】



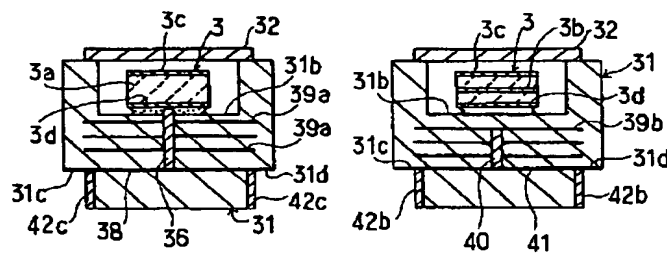
【図13】



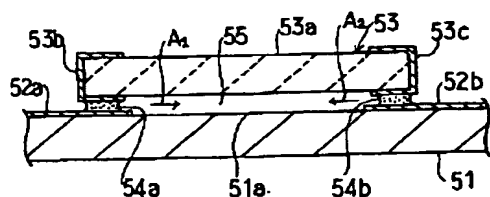
【図14】



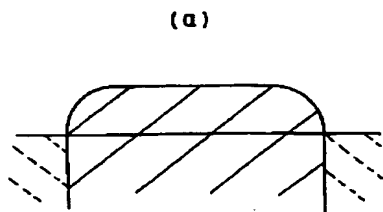
【図15】



【図17】



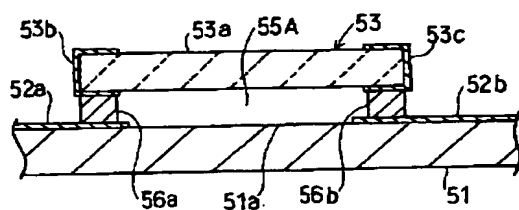
【図16】



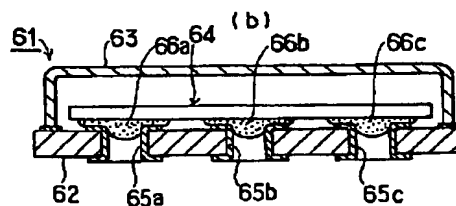
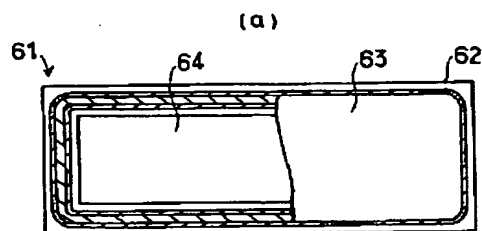
(b)



【図18】



【図19】



フロントページの続き

(72)発明者 前阪 通伸  
京都府長岡京市天神二丁目26番10号 株  
式会社村田製作所内

(72)発明者 小川 守  
京都府長岡京市天神二丁目26番10号 株  
式会社村田製作所内

(72)発明者 井上 二郎  
京都府長岡京市天神二丁目26番10号 株  
式会社村田製作所内

(72)発明者 開田 弘明  
京都府長岡京市天神二丁目26番10号 株  
式会社村田製作所内

(56)参考文献 特開 平8-88470 (JP, A)  
特開 平5-83074 (JP, A)  
特開 平10-215074 (JP, A)  
特開 平9-283650 (JP, A)  
特開 平3-112191 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 23/12

H03H 9/02

H03H 9/17

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**